

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68761

(P2000-68761A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.	識別記号	F I	マーク (参考)
H 03 F	3/45	H 03 F	3/45
G 06 G	7/163	G 06 G	7/163
H 03 F	3/195	H 03 F	3/195
H 03 G	3/10	H 03 G	3/10
H 03 H	11/04	H 03 H	11/04

審査請求 未請求 請求項の数 5 OL (全 5 頁)

(21) 出願番号 特願平10-231548  
(22) 出願日 平成10年8月18日 (1998.8.18)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 山▲崎▼博  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 100077517  
弁理士 石田 敬 (外4名)

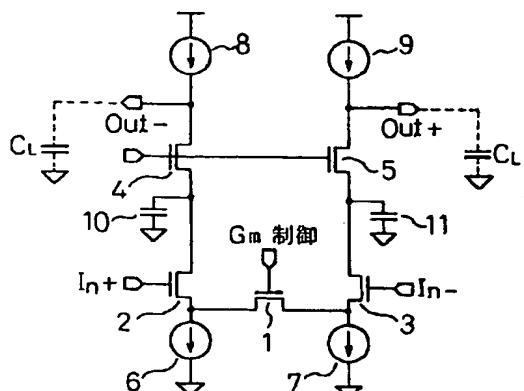
(54) 【発明の名称】 半導体増幅回路

(57) 【要約】

【課題】 理想的な特性を有する積分器が構成可能な OTA 回路を得る。

【解決手段】 相互コンダクタンス制御端子にそのゲートを接続した MOS トランジスタ 1、そのゲートを差動入力端子に接続した一対の MOS トランジスタ 2、3、バイアス入力端子にそのゲートを接続した一対の MOS トランジスタ 4、5、MOS トランジスタ 1 のソース、ドレインに接続された電流源 6、7 および MOS トランジスタ 4、5 のドレインに接続された電流源 8、9 によって構成される OTA 回路において、第 4、第 5 の MOS トランジスタのソースに第 1、第 2 の容量を付加して、半導体増幅器を構成する。

図 4 第 1 実施例の OTA 回路



## 【特許請求の範囲】

【請求項1】 一対の差動入力端子と、そのゲートを相互コンダクタンス制御端子に接続した第1のMOSトランジスタと、そのゲートを前記差動入力端子に接続しそのソースを前記第1のMOSトランジスタのソース、ドレインの何れかに接続した一対の第2、第3のMOSトランジスタと、そのゲートを一定のバイアス信号入力端子に接続しそのソースを前記第2、第3のMOSトランジスタのドレインにそれぞれ接続した一対の第4、第5のMOSトランジスタと、前記第1のMOSトランジスタのソース、ドレインにそれぞれ接続した第1、第2の電流源と、前記第4および第5のMOSトランジスタのドレインにそれぞれ接続した第3、第4の電流源と、前記第4、第5のMOSトランジスタのソースに一端を接続し他端を固定電位に接続した第1、第2の容量とを具備する、半導体増幅回路。

【請求項2】 前記第1、第2の容量は、前記差動出力端子に負荷容量を接続して構成する積分器のゲイン・位相特性において、前記第1、第2および第3のMOSトランジスタに起因する寄生容量によって生じる寄生の零点を、前記第4、第5のMOSトランジスタに起因する寄生容量と前記第1、第2の容量との合計の容量で生じる寄生の極によって補償するように、その値が選択されるものである、請求項1に記載の半導体増幅回路。

【請求項3】 前記第1、第2の容量は、そのゲートを固定電位に接続し、そのソース、ドレイン間に共通に接続しつつ前記第4、第5のMOSトランジスタのソースにそれぞれ接続した第6、第7のMOSトランジスタで構成されるものである、請求項1または2に記載の半導体増幅回路。

【請求項4】 前記第1、第2の容量は、前記第4および第5のMOSトランジスタのソース間に接続された一個の容量によって構成されるものである、請求項1または2に記載の半導体増幅回路。

【請求項5】 請求項1乃至4の何れか1項に記載の半導体増幅回路の差動出力端子に負荷容量を接続して構成した積分器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に搭載する半導体増幅回路に関するものであり、特にMOSトランジスタを使用したOTA(Operational Transconductance Amplifier)構造を有する半導体増幅器に関する。

## 【0002】

【従来の技術】近年、半導体集積回路の集積度の向上に伴い、従来は外付け部品であった信号処理のためのフィルタ等を集積回路に搭載することが望まれている。集積

回路に搭載するアクティブラフィルタとして積分器が用いられるが、クオリティファクター(以下、Q値と略す)の高いフィルタを実現するためには、理想に近い積分器が望まれる。

【0003】アクティブラフィルタに用いる積分器の回路構成には種々のものがあるが、Gm-C構成の積分器はより高周波数まで扱えると言う点で有利な特性を有している。Gm-C構成の積分器は、GmアンプであるOTA回路と容量負荷Cによって構成される。OTA回路としては、線形領域で動作するMOSトランジスタを用いたものが、その良好な線形特性により優れている。

【0004】図1に従来の一般的なOTAの回路構成を示す。このOTA回路は、線形領域で動作する第1のMOSトランジスタ1と、そのゲートを差動入力端子In+、In-に接続しつつそのソースをMOSトランジスタ1のソース・ドレイン間に接続した第2、第3のMOSトランジスタ2、3を有している。このMOSトランジスタ2、3のドレインには、一定のバイアス電圧信号を入力するための第4、第5のMOSトランジスタ4、5のソースが接続されている。なお、このバイアス信号は、MOSトランジスタ4、5のゲートに入力される。

【0005】更に、第1のMOSトランジスタ1のソース、ドレインに第1、第2の電流源6、7が、第4、第5のMOSトランジスタ4、5のドレインに第3、第4の電流源8、9が接続されている。差動出力端子Out+、Out-は、第4、第5のMOSトランジスタ4、5のドレインと各電流源8、9間に設けられる。なお、図1に示すOTA回路の相互コンダクタンスGmは、Gm制御端子である第1のトランジスタ1のゲートに入力される電圧によって制御される。またバイアス信号が入力される第4、第5のMOSトランジスタ4、5は、このOTA回路の出力抵抗Roを増大させるためのものである。

【0006】以上のような一般的なOTA回路において、その各出力端子Out+、Out-に負荷容量Coutを接続することにより、積分器が構成される。このようにして構成された積分器のゲイン・位相特性図を図2に示す。また図2の特性図を基にしてこの積分器の等価回路を構成すると、図3に示すものが得られる。なお図3の等価回路は、シングルエンドとして簡略化している。

【0007】図3において、Roは出力抵抗、Coutは積分器を構成するための負荷容量である。バイアス端子が接続される図1のMOSトランジスタ対4、5は、この出力抵抗Roを増大させるためのものである。Gmは出力コンダクタンスであって、図1のMOSトランジスタ対4、5によって決まる値である。Cmは、第4、第5のMOSトランジスタ対4、5に起因する寄生容量(主にチャネルおよびジャンクション容量)であり、第2、第3のMOSトランジスタ対2、3のドレイン端子に付

くものである。

【0008】さらにG<sub>1</sub>は入力コンダクタンスを示し、図1のMOSトランジスタ対2、3によって決まる値である。R<sub>1</sub>は線形領域で動作するMOSトランジスタ1のオン抵抗、C<sub>1</sub>は第1、第2および第3のMOSトランジスタ1、2、3に起因する寄生容量である。なおMOSトランジスタ1のオン抵抗R<sub>1</sub>は、G<sub>m</sub>制御端子の電圧によってその値が制御される。

【0009】以上の様な回路構成を有する積分器において、その特性角周波数は、ゲインが0 dBとなる1/(R<sub>1</sub> C<sub>1</sub>)である。

【0010】

【発明が解決しようとする課題】OTA回路を用いた従来の積分器では、図2に示す様に、寄生容量C<sub>1</sub>によって角周波数1/(R<sub>1</sub> C<sub>1</sub>)に寄生の零点、および角周波数G<sub>1</sub>/C<sub>1</sub>に寄生の極が形成される。寄生の零点1/(R<sub>1</sub> C<sub>1</sub>)の存在によって、使用帯域で積分器の位相が進むと、図2の位相特性図に示すように位相曲線が-90°より持ち上がってしまい、積分器としての特性を劣化させる。その結果フィルタのQ値も小さくなり、高Q値のフィルタの設計が困難となる。

【0011】従って、理想的な特性を有する積分器を得るために、積分器の動作範囲を狭めるこのような零点は存在しない方が良いが、MOSトランジスタを使用する限りこのような零点および極は避けれない。寄生容量C<sub>1</sub>を小さくすると、この寄生の零点1/(R<sub>1</sub> C<sub>1</sub>)は高周波数側に移動し、そのため図2の位相の持ち上がり点も高周波数側に移動するので、この零点による悪影響は小さくなる。寄生容量C<sub>1</sub>を小さくするためには線形領域で動作するMOSトランジスタ1、2および3のサイズを小さくする必要がある。ところが、MOSトランジスタのサイズを小さくすると、G<sub>m</sub>値の相対精度が悪化する。従って、寄生容量を小さくすることによって積分器の周波数特性を改善しようとする試みは、あまり実現性がない。

【0012】本発明は、従来のOTA回路における上記の問題を解決すべくなされたものであり、線形領域で動作するMOSトランジスタのサイズを小さくすることなく、寄生容量C<sub>1</sub>によって生じる零点を補償し、高Q値のフィルタを実現することが可能な半導体增幅回路を提供する目的でなされたものである。

【0013】

【課題を解決するための手段】上記課題は、一対の差動入力端子と、そのゲートを相互コンダクタンス制御端子に接続した第1のMOSトランジスタと、そのゲートを差動入力端子に接続しそのソースを前記第1のMOSトランジスタのソース、ドレンの何れかに接続した一対の第2、第3のMOSトランジスタと、そのゲートを一定のバイアス信号入力端子に接続しそのソースを第2、第3のMOSトランジスタのそれぞれのドレンに接続

10

20

30

40

50

した一対の第4、第5のMOSトランジスタと、第1のMOSトランジスタのソース、ドレンにそれぞれ接続した第1、第2の電流源と、第4および第5のMOSトランジスタのドレンにそれぞれ接続した第3、第4の電流源と、第4、第5のMOSトランジスタのドレンと第3、第4の電流源間に設けた一対の差動出力端子と、更に第4、第5のMOSトランジスタのそれぞれのソースに一端を接続し他端を固定電位に接続した第1、第2の容量とを具備する、半導体增幅回路によって達成される。

【0014】以上の構成を有する半導体增幅回路では、第1、第2の容量の値を選択することによって、第4、第5のMOSトランジスタに起因する寄生容量の値を見かけ上制御することができる。従って、この回路の差動出力端子に負荷容量を接続して積分器を構成した場合、第4、第5のMOSトランジスタに起因する寄生容量によって生じるゲイン・位相特性上の寄生の極を、第1、第2の容量の選択によって移動させることができる。そのため、第1、第2および第3のMOSトランジスタに起因する寄生容量によって発生する寄生の零点方向へ、前記の極を移動させることにより、寄生の零点が存在することによる悪影響を補償し、理想に近い特性を有する積分器を構成することが可能となる。

【0015】

【発明の実施の形態】本発明では、寄生容量C<sub>1</sub>を小さくすることによって図2に示す寄生の零点1/(R<sub>1</sub> C<sub>1</sub>)を高周波数側に移動させる代わりに、寄生の極G<sub>1</sub>/C<sub>1</sub>を寄生の零点方向、即ち低周波数側に移動させることによって、この零点が存在することによる位相特性への悪影響を補償しようとするものである。図2に示す特性図において、寄生の極G<sub>1</sub>/C<sub>1</sub>よりも角周波数が進むと、ゲインは再び減少を開始し、その結果零点の影響で一旦持ち上がった位相曲線も、再び-90°に向かって低下を始める。

【0016】従って、理想的には寄生の極G<sub>1</sub>/C<sub>1</sub>を寄生の零点1/(R<sub>1</sub> C<sub>1</sub>)まで低周波数側に移動させると、この零点における影響が補償され、位相はより高周波数側まで-90°近くを維持するようになり、積分器としての特性が向上する。G<sub>1</sub>はバイアス端子が接続されたMOSトランジスタ対4、5で決まる出力コンダクタンスであり、あまり変化させることはできない。

【0017】そのため本発明では、トランジスタ対2、3のドレンに付く容量C<sub>1</sub>の値を調整することによって、寄生の極G<sub>1</sub>/C<sub>1</sub>を低周波数側に移動させ、零点の悪影響を補償する構成を取る。以下に本発明の実施例を図面を参照して説明する。なお、以下に示す図面において、図1と同じ符号は同一または類似の構成要素を示し、従ってその説明は重複しない。

【0018】図4は本発明の第1の実施例にかかるOTA回路の回路図である。図示するようにこの実施例で

は、図1に示す従来のOTA回路に対して、MOSトランジスタ対4、5のソースに、新たに容量10、11を付加した構成を特徴とする。図4では、容量10、11の一端は接地されているが、必ずしも接地する必要はなく、固定電位であれば良い。

【0019】容量10、11の大きさは、MOSトランジスタ4、5に起因する寄生容量 $C_s$ との合成値 $C_M$ が、 $G_m/C_M$ の値を出来るだけ $1/(R_s C_s)$ の値に近づける様に選択する。この様にすることによって、 $G_m$ 値の相対バラツキを増大させることなく、寄生容量 $C_s$ による零点の積分器特性に与える悪影響を低減できるので、 $G_m - C$ 構成の積分器が理想的な積分器の特性に近くなる。

【0020】なお、このOTA回路によって積分器を構成する場合は、出力端子 $Out+$ および $Out-$ に、図に点線で示すように負荷容量 $C_L$ を接続する。図5は本発明の第2の実施例のOTA回路を示す。この実施例では、上記容量10、11を、MOSトランジスタ12、13で構成したことを特徴とする。なお、MOSトランジスタ12、13は図5に示すようにそのソースおよびドレインを接続しつつゲートを固定電位に接続して容量として動作するように構成されている。

【0021】この実施例では、実際の半導体装置の製造に当たって、他のMOSトランジスタと同一の製造工程においてMOSトランジスタ12、13を製造することが可能である。これによって、零点を発生させるMOSトランジスタの寄生容量 $C_s$ と、極を生み出すMOSトランジスタ12、13の容量とが比例関係となり、容量 $C_s$ の変動による寄生零点の移動と容量 $C_M$ の変動による極の移動が同じとなる。その結果容量 $C_M$ は製造工程の変動に伴う容量 $C_s$ の変動の影響を受けず、設計通りの結果を得ることができる。

【0022】図6は本発明の第3の実施例のOTA回路\*

\*を示す。この実施例では、図5に示す容量10、11の値を出来るだけ小さくしようとするものであり、そのため、MOSトランジスタ対4、5のソース間に、無極性の容量14を接続した構成を取る。この構成によって、図4、5に示した各実施例の場合に比べて、その必要な容量は1/4となる。

#### 【0023】

【発明の効果】以上、実施例を挙げて説明したように、本発明によればOTA回路の $G_m$ 値の相対バラツキを増大させることなく、寄生容量による零点の影響を出来るだけ低減することが可能である。そのため、このOTA回路を $G_m - C$ 構成の積分器として用いた場合、その角周波数-位相特性は理想的な積分器の特性に近くなるので、半導体集積回路に搭載可能な高Q値のフィルタを得ることができる。これによって、フィルタを用いる装置全体の小型化に寄与するところが大きい。

#### 【図面の簡単な説明】

【図1】従来のOTA回路の回路構成を示す図。

【図2】図1のOTA回路を積分器として使用した場合のゲイン・位相特性を示すグラフ。

【図3】図2の特性を示す積分器の等価回路図。

【図4】本発明の第1の実施例にかかるOTA回路の回路図。

【図5】本発明の第2の実施例にかかるOTA回路の回路図。

【図6】本発明の第3の実施例にかかるOTA回路の回路図。

#### 【符号の説明】

1、2、3、4、5…MOSトランジスタ

6、7、8、9…電流源

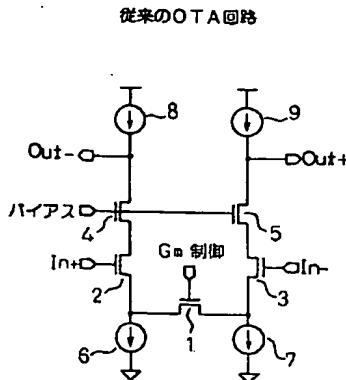
10、11…容量

12、13…MOSトランジスタ

14…容量

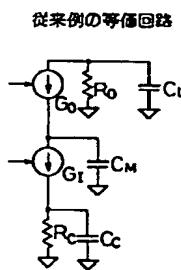
【図1】

図1



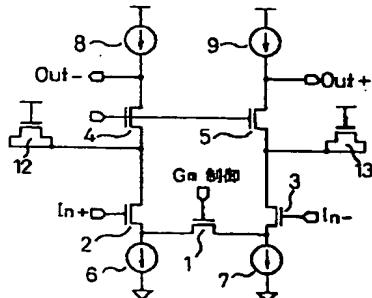
【図3】

図3



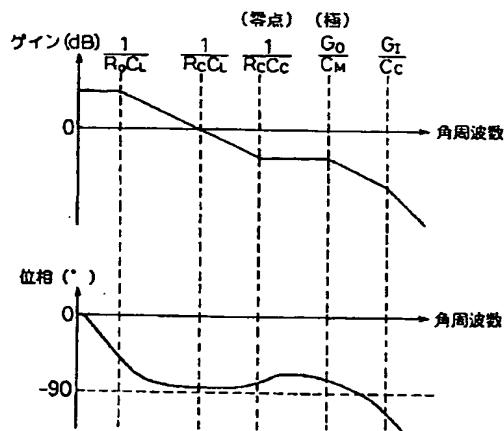
【図5】

図5 第2実施例のOTA回路



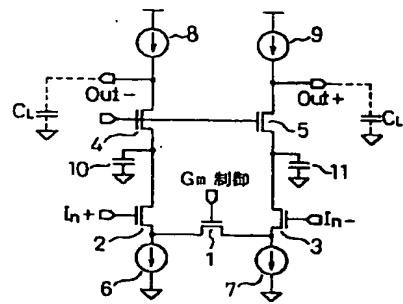
【図2】

図2 従来例のゲイン・位相特性



【図4】

図4 第1実施例のOTA回路



【図6】

図6 第3実施例のOTA回路

